

(11)Publication number : 11-119251  
 (43)Date of publication of application : 30.04.1999

(51)Int.Cl. G02F 1/136  
 H01L 29/786  
 H01L 21/336

(21)Application number : 09-280772 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 14.10.1997 (72)Inventor : TSUBOI NOBUYUKI  
 HIROSE TAKASHI  
 TAMURA TATSUHIKO

#### (54) PRODUCTION OF ACTIVE MATRIX SUBSTRATE

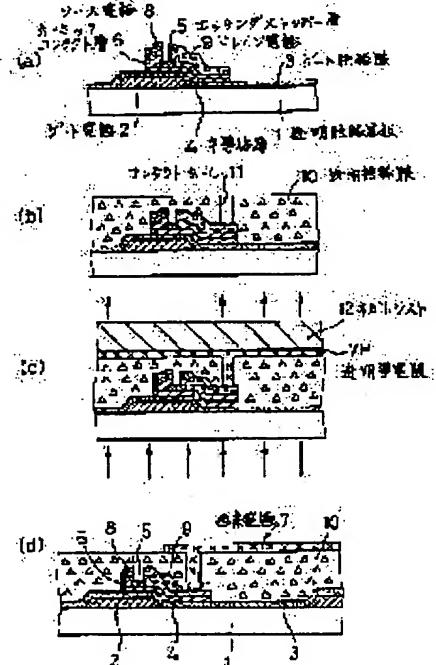
##### (57)Abstract:

**PROBLEM TO BE SOLVED:** To avoid an adverse effect on a pixel electrode from an electric field induced by gate and source electrodes, by applying a negative resist on a transparent and electrically conductive film and conducting an exposure by the photoirradiation from the back surface of a substrate.

**SOLUTION:** A gate electrode 2, a gate insulation layer 3, a semiconductor layer 4 and an ohmic contact layer 6 are formed on a transparent insulation substrate 1.

Then, a thin film transistor(TFT) having a source electrode 8 and a drain electrode 9 is formed and a flat layer is provided for the TFT by a transparent insulating film 10. Then, a contact hole 11, which connects the electrode 9 and a pixel electrode 7, is formed. Then, a transparent and electrically conductive film 7p to be a becomes a pixel electrode 7, is put on at the temperature less than a glass transition temperature  $T_g$  of the film 10 and a polycrystallization temperature.

Then, the film 7p is heat processed at the temperature, which is higher than the polycrystallization temperature and less than the temperature  $T_g$ . Then, a negative resist 12 is applied to the film 7p. Finally, a pixel electrode is formed by the exposure from the back surface of the substrate 1.



##### \* NOTICES \*

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CLAIMS****[Claim(s)]**

[Claim 1]A manufacturing method of an active matrix substrate characterized by comprising the following.

A process of forming a gate electrode, a gate insulating layer, a semiconductor layer, and an ohmic contact layer on a transparent insulating substrate.

A process of forming a thin film transistor which consists of a source electrode and a drain electrode.

A process of providing a flattening layer by a transparent insulating film in said thin film transistor.

A process of forming a contact hole which connects a drain electrode and a picture element electrode on said transparent insulating film, A process of laminating a transparent conducting film used as a picture element electrode at the glass transition temperature Tg of said transparent insulating film, and below polycrystal-ized temperature, A process that beyond polycrystal-ized temperature heat-treats said transparent conducting film below with the glass transition temperature Tg, a process of applying negative resist on said transparent conducting film, and a process of forming a picture element electrode by performing exposure from a rear face of said transparent insulating substrate.

[Claim 2]A manufacturing method of the active matrix substrate according to claim 1 using a photopolymer as a transparent insulating film.

[Claim 3]A manufacturing method of the active matrix substrate according to claim 1 or 2, wherein an ohmic contact layer consists of a light transmittance state semiconductor material.

[Claim 4]A manufacturing method of the active matrix substrate according to claim 3 contacting a layer which consists of a light transmittance state semiconductor material a drain electrode and directly.

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

**DETAILED DESCRIPTION****[Detailed Description of the Invention]****[0001]**

[Field of the Invention]This invention relates to the manufacturing method of the active matrix substrate (henceforth an AM substrate) of the active matrix type liquid crystal display used as displays, such as OA and AV.

**[0002]**

[Description of the Prior Art]It explains referring to drawings for the conventional AM substrate below. Drawing 6 is a drawing in which an example of the composition of the conventional AM substrate is shown, and it is a sectional view where drawing 6 (a) meets a part plan and drawing 6 (b) meets the A-A' line of drawing 6 (a). As for a gate insulating layer and 4, in a gate electrode

and 3, in each figure, a semiconductor layer and 5 are [ 1 / a transparent insulating substrate and 2 ] etching stopper layers, [0003]

[External Character 1]

6はオミック層であるn<sup>+</sup>-a-Si膜.

[0004]7 shows a picture element electrode, 8 shows a source electrode, 9 shows the drain electrode, and arrangement formation is carried out as follows.

[0005]Namely, form the gate electrode 2 on the transparent insulating substrate 1, and the gate insulating layer 3, the semiconductor layer 4, and the etching stopper layer 5 are formed, The picture element electrode and thin film transistor (henceforth [ TFT ]) which constitute an AM substrate were formed by patterning this etching stopper layer 5 after predetermined shape, then forming the ohmic layer 6 and the picture element electrode 7, and forming the source electrode 8 and the drain electrode 9 one by one. Since a part of gate potential is impressed to a picture element electrode in such composition via the parasitic capacitance formed by a crossing portion with a gate electrode even if normal voltage is impressed to a picture element electrode when a picture element electrode and a gate electrode cross, Since the problem that the liquid crystal control by regular potential is disturbed, and image quality deterioration happens arises, In order to avoid this, between the gate electrode end and the picture element electrode end, the alignment gap with the mask in a photolithography and the pattern to pile up was also taken into consideration, the crevice X between mum units is established, and the crevice is established so that there may be no lap between a source electrode and a picture element electrode similarly. Even if the phenomenon in which this picture element electrode is influenced by the electric field from a gate electrode and a source electrode is the TFT structure where a picture element electrode is provided in the bottom of the heap, it happens similarly.

[0006]

[Problem(s) to be Solved by the Invention]However, in such composition, in order to establish a crevice between a picture element electrode, a gate electrode, and a source electrode, an effective liquid crystal drive surface product falls to the area (maximum area) of the field surrounded with the gate electrode and the source electrode. In the crevice X between a picture element electrode and a gate electrode, since direct potential is not impressed to a liquid crystal, light will leak, a black display level deteriorates and contrast falls substantially in the case of no MARII white mode. Then, in order to hide this light leakage region, if a light filter etc. must be arranged, the layer of a light blocking effect must be provided in a counter substrate and the margin of alignment is also included, further, an effective liquid crystal drive surface product will fall, and the problem that a screen becomes dark will produce it.

[0007]This invention solves the above-mentioned conventional problem.

The purpose is to provide the manufacturing method of a highly efficient active matrix substrate which extends an effective liquid crystal drive surface product to the maximum extent and with which a picture element electrode is not influenced by the electric field from a gate electrode and a source electrode..

[0008]

[Means for Solving the Problem]A process at which a manufacturing method of an active matrix substrate of this invention forms a gate electrode, a gate insulating layer, a semiconductor layer, and an ohmic contact layer on a transparent insulating substrate, A process of forming a thin film transistor which consists of a source electrode and a drain electrode, A process of providing a flattening layer by a transparent insulating film in said thin film transistor, A process of forming a contact hole which connects a drain electrode and a picture element electrode on said transparent insulating film, A process of laminating a transparent conducting film used as a picture element electrode at the glass transition temperature Tg of said transparent insulating film, and below polycrystal-ized temperature, A process that beyond polycrystal-ized temperature heat-treats said transparent conducting film below with the glass transition temperature Tg, a process of applying negative resist on said transparent conducting film, and a

process of forming a picture element electrode by performing exposure from a rear face of said transparent insulating substrate are provided.

[0009]According to this invention, an effective liquid crystal drive surface product can be extended to the maximum extent, and a highly efficient active matrix substrate from which a picture element electrode does not receive influence of an electric field from a gate electrode and a source electrode can be manufactured easily.

[0010]

[Embodiment of the Invention]It explains referring to drawings for each embodiment of this invention below. In said conventional thing and each embodiment, identical codes shall be used about the same portion.

[0011](Embodiment 1) Drawing 1 is a figure showing the composition of the AM substrate in Embodiment 1 which applied the manufacturing method of the active matrix substrate of this invention, and it is a sectional view where drawing 1 (a) meets the part plan, and drawing 1 (b) meets the A-A' line of drawing 1 (a). Drawing 2 is a sectional view showing the manufacturing process in Embodiment 1 of the manufacturing method of the active matrix substrate of this invention. In drawing 1, 1 a transparent insulating substrate and 2 a gate electrode and 3 A gate insulating layer, 4 — a semiconductor layer and 5 — an etching stopper layer and 6, a picture element electrode and 8 show a source electrode, 9 shows a drain electrode, 10 shows the transparent insulating film, and arrangement formation of an ohmic contact layer and 7 is carried out by the following manufacturing processes.

[0012]First, the metal thin film (for example, Al film) for obtaining the gate electrode 2 is made to deposit on the transparent insulating substrate 1 which consists of glass substrates etc. by sputtering, as shown in drawing 2 (a), a resist pattern is formed by a photolithography, and the gate electrode 2 is formed. Next, as the gate dielectric film 3, 2000A of SiNx films are deposited, for example with plasma CVD method, and, subsequently a-Si film and 500 A of SiNx films [ 1500A of ] used as the etching stopper layer 5 are continuously deposited as the semiconductor layer 4, respectively. Next, positive type photoresist is applied and said SiNx film is patterned after island shape by a photolithography. Then, in order to make good the contact characteristic of the source electrode 8, the drain electrode 9, and the semiconductor layer 4, the impurity (for example, phosphorus) was doped by plasma CVD. [0013]

[External Character 2]

n<sup>+</sup>—a-Si膜

[0014]500A is deposited as the ohmic contact layer 6. Next, a-Si film which serves as the semiconductor layer 4 using a photolithography, [0015]

[External Character 3]

n<sup>+</sup>—a-Si膜

[0016]It etches simultaneously and patterns after predetermined shape.

[0017]Next, as shown in drawing 2 (b), the metal (for example, Ti etc.) used as the source electrode 8 and the drain electrode 9 is deposited on the whole surface by a sputtering technique, and the pattern of the predetermined source electrode 8 and the drain electrode 9 is formed by a photolithography. Next, it applies all over 2-3 micrometers, and the contact hole 11 for contacting the drain electrode 9 and the below-mentioned picture element electrode is formed for the transparent insulating film 10 which consists of photosensitive resin by the usual photolithography. Since the level difference of a TFT part will be lost and it will become a flattening layer system by the transparent insulating film 10 if it does in this way, the orientation defect resulting from a level difference decreases. By removing the drain metal on the contact hole 11, using the transparent insulating film 10 as a resist pattern, when forming this contact hole 11, The portion of the contact hole 11 becomes only an ohmic contact layer, and since the light of the rear-face exposure by picture element electrode formation penetrates, it can be exposed in those without exposing treatment from the new surface.

[0018]Next, as shown in drawing 2 (c), the transparent conducting film (for example, ITO film) 7p is deposited on the whole surface by a sputtering technique. In a case where the temperature 10 lower than heat-resistant temperature of the transparent insulating film 10, for example, a

transparent insulating film, is acrylic resin about forming temperature at this time, since about 250 °C is a heat-resistant limit, membranes are formed at less than it. Thereby, degasifying from the transparent insulating film 10, deterioration, etc. can be controlled. Then, it heat-treats, the inside of the air, or inactive gas, for example, N<sub>2</sub>, and processing for about 10 to 30 minutes is similarly performed at the highest possible temperature in a heat-resistant critical range. By this, improvement in light transmittance of the transparent conducting film 7p, reduction of resistivity, and improvement in etching accuracy can be aimed at. Drawing 5 is a graph which shows a relation of heat treatment temperature and resistivity in Embodiment 1 of a manufacturing method of an active matrix substrate of this invention, and the aforementioned heat treatment serves as a tendency as shown in this graph.

[0019] Although the point of inflection of resistivity is seen at about 200 °C in this graph, this becomes amorphous with transition temperature (glass transition temperature Tg) with a crystal. By heat-treating at temperature of this neighborhood, it becomes the film which turned into a film on which a crystal was intermingled as it is amorphous, especially was excellent in patterning accuracy. Next, although resist for forming a picture element electrode on the transparent conducting film 7p is applied, A positive resist is applied like before, it replaces with a method exposed using a mask, the negative resist 12 is applied on the transparent conducting film 7p in this embodiment, and it is made to expose by the optical exposure by wavelength light of an ultraviolet region from a substrate rear. Since each electrode serves as a mask by this, a mask which carries out normal use becomes unnecessary, the necessity of also taking superposition accuracy with a mask into consideration will be lost, and the effective maximal domain will be obtained as a picture element electrode. Generating of shorting defects accompanying resist pattern survival by a foreign matter which had become a technical problem by the conventional positive resist is lost by using the negative resist 12. However, the way things stand, since a portion on the drain electrode 9 is not exposed, only a portion of the drain electrode 9 will be exposed using a mask from a substrate face, and it will form a resist pattern.

[0020] Next, as shown in drawing 2 (d), after the aforementioned resist pattern formation, a garbage of the transparent conducting film 7p is etched by etchant (for example, hydrogen iodide system solution), and it is considered as the picture element electrode 7, and completes as an AM substrate.

[0021] Since negative resist is applied on a transparent conducting film and it is made to expose by the optical exposure from a substrate rear according to this embodiment as mentioned above, Since each electrode serves as a mask, a mask which carries out normal use becomes unnecessary, the necessity of also taking superposition accuracy with a mask into consideration is lost, and the effective maximal domain is obtained as a picture element electrode. In the conventional positive resist, when it became a mask, between picture element electrodes may short-circuit, if a foreign matter exists on a mask, and repairing by laser etc. was performed to this, a damage may attain to even a source electrode and had become one factor of yield lowering, but. Since a gate electrode and a source electrode serve as a mask in this embodiment, even if a foreign matter exists on a substrate, it does not become the short circuit between pixels, but there is a yield improved effect. Since a picture element electrode separates from a gate electrode and a source electrode by thickness of a transparent insulating film, a picture element electrode is not influenced by an electric field from these each electrode further again, and there is no problem of image quality deterioration resulting from this.

[0022] (Embodiment 2) Drawing 3 is a figure showing composition of an AM substrate in Embodiment 2 which applied a manufacturing method of an active matrix substrate of this invention, and it is a sectional view where drawing 3 (a) meets the part plan, and drawing 3 (b) meets an A-A' line of drawing 3 (a). Drawing 4 is a sectional view showing a manufacturing process in Embodiment 2 of a manufacturing method of an active matrix substrate of this invention. Although it is the same as that of what was shown in that composition, therefore said drawing 1, an AM substrate shown in this drawing 3 has the feature in a manufacturing method, and is explained with reference to drawing 4 below.

[0023] First, as shown in drawing 4 (a), on the transparent insulating substrate 1 which consists of glass substrates etc. by sputtering, a metal thin film (for example, Al film) for obtaining the

gate electrode 2 is made to deposit, a resist pattern is formed by a photolithography, and the gate electrode 2 is formed by etching. Next, as the gate dielectric film 3, 2000A of SiNx films are deposited, for example with plasma CVD method, and, subsequently a-Si film and 500 A of SiNx films [ 1500A of ] used as the etching stopper layer 5 are continuously deposited as the semiconductor layer 4, respectively. Next, positive type photoresist is applied and said SiNx film is patterned after island shape by photo lithography and etching.

[0024]Then, in order to make good the contact characteristic of the source electrode 8, the drain electrode 9, and the semiconductor layer 4, an impurity (for example, phosphorus) was doped by plasma CVD. [0025]

[External Character 4]

n<sup>+</sup>微結晶Si膜

[0026]500A is deposited as the ohmic contact layer 13. With Embodiment 1 [0027]

[External Character 5]

n<sup>+</sup>-a-Si膜

[0028]\*\* — in [ are performing conditioning, such as forming gas and a pressure, so that it may become amorphous, but ] this Embodiment 2 [0029]

[External Character 6]

n<sup>+</sup>微結晶Si膜

[0030]Membranes are formed in 1:10-1:25, and it sets to micro crystallite Si to have been about 1:5 conventionally about the ratio of SiH<sub>4</sub> which is \*\*\*\*\*, and H<sub>2</sub>, and it is used as light transmittance state semiconductor membrane. Next, it becomes a-Si film and the ohmic contact layer 13 which turn into the semiconductor layer 4 using a photolithography. [0031]

[External Character 7]

n<sup>+</sup>微結晶Si膜

[0032]It etches simultaneously.

[0033]Next, as shown in drawing 4 (b), metal (for example, Ti etc.) used as the source electrode 8 is deposited on the whole surface by a sputtering technique, and a pattern of the source electrode 8 and the drain electrode 9 is formed by a photolithography. also removing a metal membrane of the drain electrode 9 at this time — the drain electrode 9 — said a-Si film — and [0034]

[External Character 8]

n<sup>+</sup>微結晶Si膜

[0035]It becomes. Next, it applies all over 2-3 micrometers, and the contact hole 11 for contacting the drain electrode 9 and the below-mentioned picture element electrode is formed for the transparent insulating film 10 by the usual photolithography. Since the level difference of a TFT part will be lost and it will become a flattening layer system by the transparent insulating film 10 if it does in this way; the orientation defect resulting from a level difference decreases. By removing the drain metal on the contact hole 11, using the transparent insulating film 10 as a resist pattern, when forming this contact hole 11, The portion of the contact hole 11 becomes only an ohmic contact layer, and since the light of the rear-face exposure by picture element electrode formation penetrates, it can be exposed in those without exposing treatment from the new surface.

[0036]Next, as shown in drawing 4 (c), the transparent conducting film 7p for picture element electrodes (for example, ITO film) is deposited on the whole surface by a sputtering technique. At this time, processing is performed [ forming temperature ] for heat treatment after membrane formation on same temperature restriction conditions like Embodiment 1, and the negative resist 12 is applied on the transparent conducting film 10, and it exposes by the optical exposure by wavelength light of an ultraviolet region from a substrate rear.

[0037]Next, as shown in drawing 4 (d), it is a-Si film at this time, [0038]

[External Character 9]

n<sup>+</sup>微結晶Si膜

[0039] Since it is \*\*\*\*\*\*, a picture element region and a contact region are exposed by one exposure, and by etching, the picture element electrode 7 can be formed and it completes as an AM substrate.

[0040] It adds that the mask which carries out normal use becomes unnecessary since negative resist is applied on a transparent conducting film, it is made to expose by the optical exposure from a substrate rear according to this embodiment as mentioned above and each electrode serves as a mask etc. to the same feature as said Embodiment 1, and is an ohmic contact layer.

[0041]

[External Character 10]

$n^+$  微結晶膜

[0042]\*\*\*\*\* -- a process being simplified, since contact to a picture element electrode is directly attained by things and even contact to the drain polar zone can form by exposure once, and, By heat-treating after the conducting film membrane formation further for pixels, transmissivity can improve and time reduction at the time of rear-face exposure, low-resistance-sizing, and improvement in etching accuracy can be aimed at.

[0043]

[Effect of the Invention] Since negative resist is applied on a transparent conducting film and it is made to expose by the optical exposure from a substrate rear according to this invention as mentioned above, Since each electrode serves as a mask, the crevice by mask alignment accuracy becomes the minimum, and a valid pixel area serves as the maximum, transmissivity improves, and the advantageous effect that luminosity not only improves remarkably, but a picture element electrode is not influenced by the electric field from a gate electrode and a source electrode is acquired.

[Translation done.]

#### \* NOTICES \*

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

#### DESCRIPTION OF DRAWINGS

##### [Brief Description of the Drawings]

[Drawing 1] The figure showing the composition of the AM substrate which applied the manufacturing method of the active matrix substrate of this invention in Embodiment 1

[Drawing 2] The sectional view showing the manufacturing process in Embodiment 1 of the manufacturing method of the active matrix substrate of this invention

[Drawing 3] The figure showing the composition of the AM substrate which applied the manufacturing method of the active matrix substrate of this invention in Embodiment 2

[Drawing 4] The sectional view showing the manufacturing process in Embodiment 2 of the manufacturing method of the active matrix substrate of this invention

[Drawing 5] The graph which shows the relation of the heat treatment temperature and resistivity in Embodiment 1 of the manufacturing method of the active matrix substrate of this invention

[Drawing 6] The figure showing an example of the composition of the conventional active matrix substrate

## [Description of Notations]

- 1 Transparent insulating substrate
- 2 Gate electrode
- 3 Gate dielectric film
- 4 Semiconductor layer
- 5 Etching stopper layer
- 6, 13 ohmic contact layers
- 7 Picture element electrode
- 8 Source electrode
- 9 Drain electrode
- 10 Transparent insulating film
- 11 Contact hole
- 12 Negative resist

[Translation done.]

## \* NOTICES \*

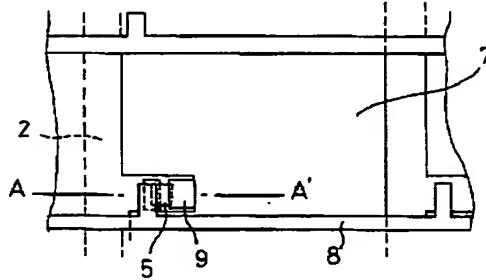
JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

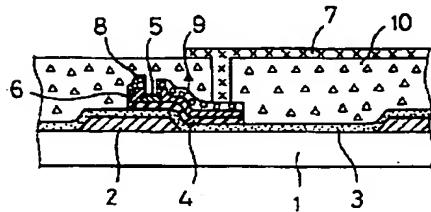
## DRAWINGS

## [Drawing 1]

(a)

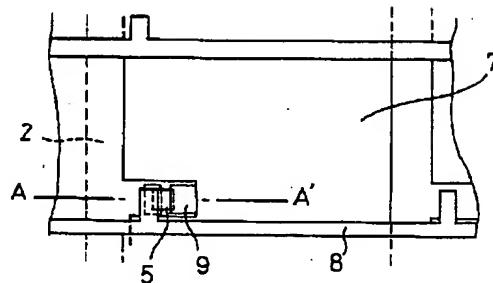


(b)

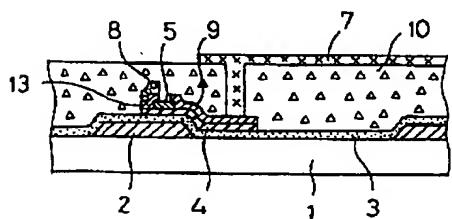
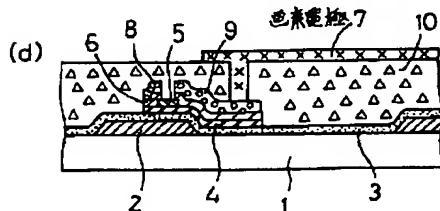
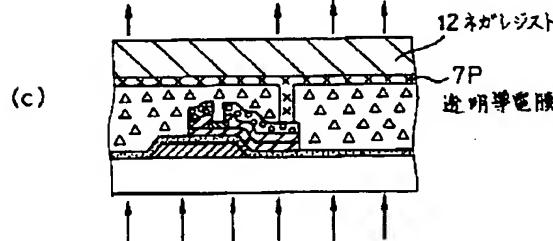
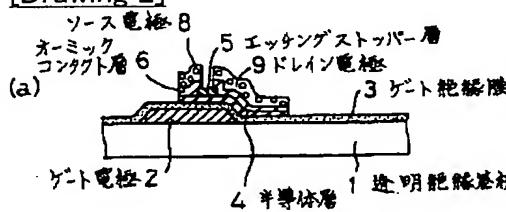


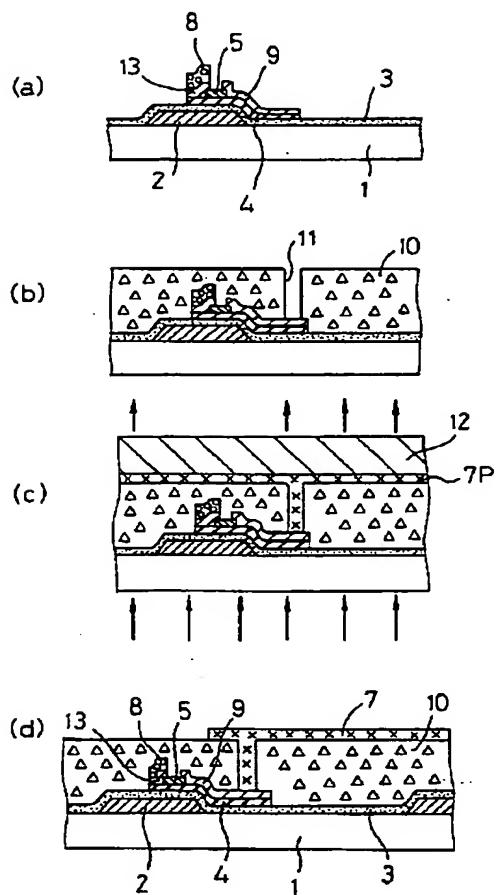
## [Drawing 3]

(a)

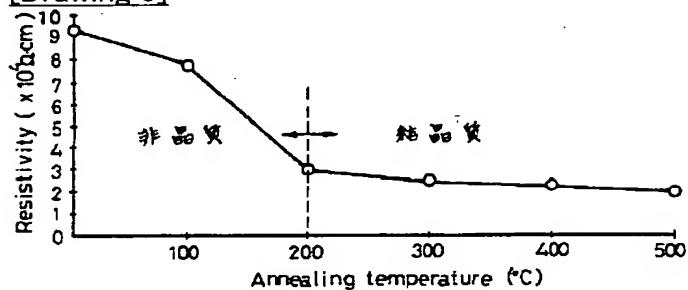


(b)

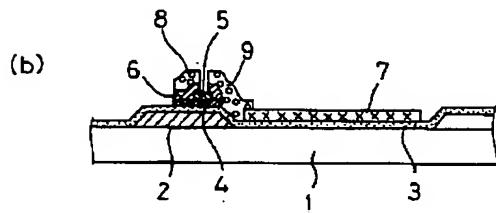
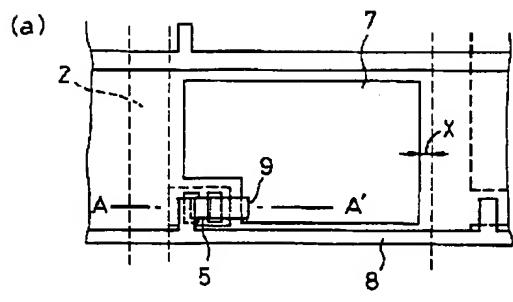
**[Drawing 2]****[Drawing 4]**



[Drawing 5]



[Drawing 6]



---

[Translation done.]

特開平11-119251

(43)公開日 平成11年(1999)4月30日

(51) Int.Cl.<sup>6</sup>  
 G 0 2 F 1/136  
 H 0 1 L 29/786  
 21/336

識別記号  
5 0 0

F I  
C 0 2 F 1/136  
H 0 1 L 29/78  
6 1 2 Z

## 審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号

特願平9-280772

(22)出願日

平成9年(1997)10月14日

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 塚井 伸行

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 廣瀬 貴司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 田村 達彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 松村 博

## (54)【発明の名称】 アクティブマトリックス基板の製造方法

## (57)【要約】

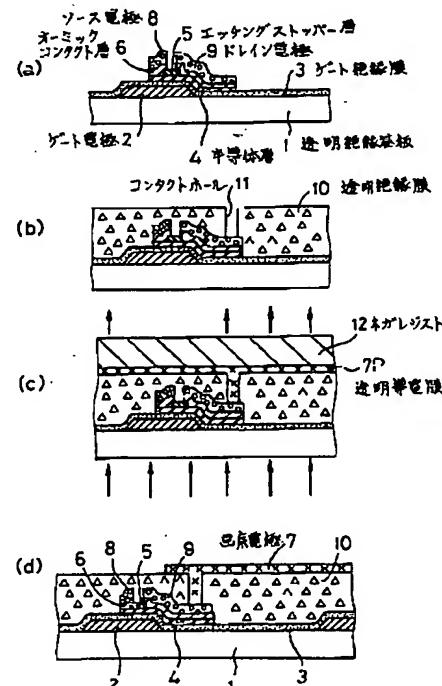
【課題】 有効液晶駆動面積を最大限に広げ、画素電極がゲート電極、ソース電極からの電界の影響を受けない高性能なアクティブマトリックス基板の製造方法を提供する。

【解決手段】 次の工程を具備したものである。(1)ガラス基板1上に金属を堆積させ、ゲート電極2を得るためのレジストパターンを形成。(2)ゲート絶縁膜3となるSiNx膜、半導体層4となるa-Si膜、エッチングストッパー層5となるSiNx膜を堆積した後、SiNx膜を所定の形状にパターニング。(3)オーム層6となる

## 【外11】

 $n^+ - a - Si$ 膜

を堆積し、前記a-Si膜と共にパターニング。(4)ソース電極8、ドレイン電極9をパターニング。(5)透明絶縁膜10を堆積してパターニング。(6)画素電極7となる透明導電膜7pを堆積し、熱処理後ネガレジスト12を塗布し、裏面露光によりパターニング。(7)不要の透明導電膜7pをエッチング除去。



## 【特許請求の範囲】

【請求項1】 透明絶縁基板上にゲート電極、ゲート絶縁層、半導体層、オーミックコンタクト層を形成する工程と、ソース電極及びドレイン電極からなる薄膜トランジスタを形成する工程と、前記薄膜トランジスタに透明絶縁膜による平坦化層を設ける工程と、前記透明絶縁膜上にドレイン電極と画素電極とを接続するコンタクトホールを形成する工程と、画素電極となる透明導電膜を前記透明絶縁膜のガラス転移温度T<sub>g</sub>及び多結晶化温度以下で被着する工程と、前記透明導電膜を多結晶化温度以上、ガラス転移温度T<sub>g</sub>以下で熱処理する工程と、前記透明導電膜上にネガレジストを塗布する工程と、前記透明絶縁基板の裏面から露光を行うことにより画素電極を形成する工程を具備したことを特徴とするアクティブマトリックス基板の製造方法。

【請求項2】 透明絶縁膜として感光性樹脂を用いることを特徴とする請求項1記載のアクティブマトリックス基板の製造方法。

【請求項3】 オーミックコンタクト層は光透過性半導体材料からなることを特徴とする請求項1または請求項2記載のアクティブマトリックス基板の製造方法。

【請求項4】 光透過性半導体材料からなる層はドレイン電極と直接コンタクトされることを特徴とする請求項3記載のアクティブマトリックス基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はOA、AV等の表示装置として用いられるアクティブマトリックス型液晶表示装置のアクティブマトリックス基板（以下AM基板という）の製造方法に関するものである。

## 【0002】

【従来の技術】以下従来のAM基板について図面を参照しながら説明する。図6は従来のAM基板の構成の一例を示す図面であり、図6(a)は部分平面図、図6(b)は図6(a)のA-A'線に沿う断面図である。各図において、1は透明絶縁基板、2はゲート電極、3はゲート絶縁層、4は半導体層、5はエッチングストッパー層、

## 【0003】

## 【外1】

6はオーミック層であるn<sup>+</sup>a-Si膜。

【0004】7は画素電極、8はソース電極、9はドレイン電極を示しており、次のように配置形成されている。

【0005】即ち、透明絶縁基板1上にゲート電極2を形成し、ゲート絶縁層3、半導体層4、エッチングストッパー層5を成膜し、所定の形状にこのエッチングストッパー層5をバターニングし、次にオーミック層6、画素電極7を形成し、ソース電極8及びドレイン電極9を順次形成することによって、AM基板を構成する画素電極及び薄膜トランジスタ（以下TFTという）を形成して

いた。このような構成においては、画素電極とゲート電極が交差した場合、画素電極に正常な電圧が印加されてもゲート電極との交差部分で形成される寄生容量を介してゲート電位の一部が画素電極に印加されるため、正規電位による液晶制御が乱され、画質劣化が起こるという問題が生ずるので、これを回避するためにゲート電極端と画素電極端の間にフォトリソグラフィにおけるマスクと重ね合わせるパターンとのアライメントずれも考慮して、μm単位の隙間Xを設けており、同様にソース電極と画素電極間でも重なりが無いよう隙間を設けている。なお、この画素電極がゲート電極、ソース電極からの電界の影響を受けるという現象は画素電極を最下層に設けるようなTFT構造であっても同様に起こる。

## 【0006】

【発明が解決しようとする課題】しかしながら、このような構成では、画素電極とゲート電極及びソース電極間に隙間を設けるために有効液晶駆動面積はゲート電極、ソース電極で囲まれた領域の面積（最大面積）に対して低下し、さらに、画素電極とゲート電極間の隙間Xでは液晶に直接的な電位が印加されないため、ノーマリィホワイトモードの場合では光が漏れることとなり、黒表示レベルが劣化し、大幅にコントラストが低下する。そこで、この光漏れ領域を隠すために、カラーフィルタ等を配備して対向基板に遮光性の層を設けなければならず、アライメントのマージンも含めるとさらに有効液晶駆動面積は低下することになり、画面が暗くなったりする問題点が生じる。

【0007】本発明は上記従来の問題点を解決するものであり、有効液晶駆動面積を最大限に広げ、画素電極がゲート電極、ソース電極からの電界の影響を受けない高性能なアクティブマトリックス基板の製造方法を提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明のアクティブマトリックス基板の製造方法は透明絶縁基板上にゲート電極、ゲート絶縁層、半導体層、オーミックコンタクト層を形成する工程と、ソース電極及びドレイン電極からなる薄膜トランジスタを形成する工程と、前記薄膜トランジスタに透明絶縁膜による平坦化層を設ける工程と、前記透明絶縁膜上にドレイン電極と画素電極とを接続するコンタクトホールを形成する工程と、画素電極となる透明導電膜を前記透明絶縁膜のガラス転移温度T<sub>g</sub>及び多結晶化温度以下で被着する工程と、前記透明導電膜を多結晶化温度以上、ガラス転移温度T<sub>g</sub>以下で熱処理する工程と、前記透明導電膜上にネガレジストを塗布する工程と、前記透明絶縁基板の裏面から露光を行うことにより画素電極を形成する工程を具備したものである。

【0009】この発明によれば、有効液晶駆動面積を最大限に広げ、画素電極がゲート電極、ソース電極からの電界の影響を受けない高性能なアクティブマトリックス

基板を容易に製造することができる。

#### 【0010】

【発明の実施の形態】以下本発明の各実施の形態について図面を参照しながら説明する。なお、前記従来のもの及び各実施の形態において同一の部分については同一符号を用いるものとする。

【0011】(実施の形態1)図1は本発明のアクティブマトリックス基板の製造方法を適用した実施の形態1におけるAM基板の構成を示す図であり、図1(a)はその部分平面図、図1(b)は図1(a)のA-A'線に沿う断面図である。図2は本発明のアクティブマトリックス基板の製造方法の実施の形態1における製造工程を示す断面図である。図1において、1は透明絶縁基板、2はゲート電極、3はゲート絶縁層、4は半導体層、5はエッチングストッパー層、6はオーミックコンタクト層、7は画素電極、8はソース電極、9はドレイン電極、10は透明絶縁膜を示しており、次のような製造工程により配置形成される。

【0012】まず、図2(a)に示すようにスパッタリングによりガラス基板等からなる透明絶縁基板1上にゲート電極2を得るための金属薄膜(例えばAl薄膜)を堆積させ、フォトリソグラフィによりレジストパターンを形成し、ゲート電極2を形成する。次に、ゲート絶縁膜3として、例えばプラズマCVD法によりSiNx膜を200Å堆積し、次いで半導体層4としてa-Si膜、エッチングストッパー層5となるSiNx膜をそれぞれ500Å、1500Å連続的に堆積する。次に、ポジ型フォトレジストを塗布し、フォトリソグラフィにより前記SiNx膜を島状にパターニングする。その後、ソース電極8、ドレイン電極9と半導体層4とのコンタクト特性を良好にするために、プラズマCVDにより不純物(例えば隣)をドーピングした

#### 【0013】

#### 【外2】

n<sup>+</sup>-a-Si膜

【0014】をオーミックコンタクト層6として500Å堆積する。次に、フォトリソグラフィを用いて半導体層4となるa-Si膜、

#### 【0015】

#### 【外3】

n<sup>+</sup>-a-Si膜6

【0016】を同時にエッチングし、所定の形状にパターニングする。

【0017】次に図2(b)に示すように、ソース電極8、ドレイン電極9となる金属(例えばTi等)をスパッタ法により全面に堆積し、フォトリソグラフィにより所定のソース電極8及びドレイン電極9のパターンを形成する。次に、感光性の樹脂からなる透明絶縁膜10を例えば2~3μm全面に塗布し、通常のフォトリソグラフィにより、ドレイン電極9と後述の画素電極とをコンタク

トするためのコンタクトホール11を形成する。このようになると TFT部の段差がなくなり、透明絶縁膜10による平坦化層構造となるため段差に起因する配向不良が低減する。なお、このコンタクトホール11を形成する際、コンタクトホール11上のドレイン金属を透明絶縁膜10をレジストパターンとして用い除去することによって、コンタクトホール11の部分はオーミックコンタクト層だけになり、画素電極形成での裏面露光の光が透過するため、新たな表面からの露光処理無しにて露光することができる。

【0018】次に図2(c)に示すように、透明導電膜(例えばITO膜)7pをスパッタ法により全面に堆積する。この時、成膜温度を透明絶縁膜10の耐熱温度よりも低い温度、例えば透明絶縁膜10がアクリル系樹脂の場合では約250°Cが耐熱限界であるため、それ以下にて成膜を行う。これにより透明絶縁膜10からの脱ガス、変質等を抑制することができる。その後、空気中あるいは不活性ガス例えばN<sub>2</sub>で熱処理し、同様に耐熱限界範囲にてできるだけ高い温度で10~30分程度の処理を行う。これによって、透明導電膜7pの光透過率の向上と抵抗率の低減及びエッチング精度の向上を図ることができる。図5は本発明のアクティブマトリックス基板の製造方法の実施の形態1における熱処理温度と抵抗率との関係を示すグラフであり、前記の熱処理はこのグラフに示すような傾向となる。

【0019】このグラフにおいて約200°Cで抵抗率の変曲点が見られるが、これが非晶質と結晶との転移温度(ガラス転移温度T<sub>g</sub>)となる。この付近の温度で熱処理を行なうことにより、非晶質と結晶とが混在した膜となり、特にパターニング精度に優れた膜となる。次に透明導電膜7p上に画素電極を形成するためのレジストを塗布するが、従来のようにポジ型レジストを塗布し、マスクを用いて露光を行う方法に代えて本実施の形態においては透明導電膜7p上にネガレジスト12を塗布し、基板裏面からの紫外領域の波長光による光照射により露光を行うようにしている。これにより各電極がマスクとなるため、通常使用するマスクが不要となって、マスクとの重ね合わせ精度も考慮する必要が無くなり、画素電極として有効最大領域が得られることになる。また、ネガレジスト12を用いることで、従来のポジ型レジストで課題となっていた異物によるレジストパターン残存に伴う短絡欠陥の発生がなくなる。しかし、このままではドレイン電極9上の部分は露光されないため基板表面からマスクを用いてドレイン電極9の部分のみ露光を行いレジストパターンを形成することになる。

【0020】次に図2(d)に示すように、前記のレジストパターン形成後において、透明導電膜7pの不要部分をエッチャント(例えば沃化水素系溶液)でエッチングして画素電極7とし、AM基板として完成する。

【0021】以上のように本実施の形態によれば、透明

導電膜上にネガレジストを塗布し、基板裏面からの光照射により露光を行うようにしているので、各電極がマスクとなるため、通常使用するマスクが不要となり、マスクとの重ね合わせ精度も考慮する必要が無くなり、画素電極として有効最大領域が得られる。また、従来のポジ型レジストではマスク上に異物が存在するとそれがマスクとなって画素電極間がショートする場合があり、これに対してレーザーなどによるリペアを行なうとソース電極にまでダメージが及ぶことがあって歩留まり低下の1要因となっていたが、本実施の形態ではゲート電極、ソース電極がマスクとなるので、基板上に異物が存在しても画素間ショートにはならず、歩留まり向上効果がある。さらにまた、透明絶縁膜の膜厚分だけ画素電極がゲート電極、ソース電極から離れるので画素電極がこれら各電極からの電界の影響を受けることがなく、これに起因する画質劣化の問題はない。

【0022】(実施の形態2)図3は本発明のアクティブマトリックス基板の製造方法を適用した実施の形態2におけるAM基板の構成を示す図であり、図3(a)はその部分平面図、図3(b)は図3(a)のA-A'線に沿う断面図である。図4は本発明のアクティブマトリックス基板の製造方法の実施の形態2における製造工程を示す断面図である。この図3に示すAM基板はその構成については前記図1に示したものと同様であるが、製造方法に特徴があるので、以下図4を参照して説明する。

【0023】まず、図4(a)に示すように、スパッタリングによりガラス基板等からなる透明絶縁基板1上にゲート電極2を得るための金属薄膜(例えばAl膜)を堆積させ、フォトリソグラフィによりレジストパターンを形成し、エッチングによってゲート電極2を形成する。次に、ゲート絶縁膜3として、例えばプラズマCVD法によりSiNx膜を2000Å堆積し、次いで半導体層4としてa-Si膜、エッチングストップ層5となるSiNx膜をそれぞれ500Å、1500Å連続的に堆積する。次に、ポジ型フォトレジストを塗布し、フォトリソグラフィー及びエッチングにより前記SiNx膜を島状にパターニングする。

【0024】その後、ソース電極8、ドレイン電極9と半導体層4とのコンタクト特性を良好にするためにプラズマCVDにより不純物(例えば燐)をドーピングした

【0025】

【外4】

#### n+微結晶Si膜

【0026】をオーミックコンタクト層13として500Å堆積する。実施の形態1では

【0027】

【外5】

#### n+-a-Si膜

【0028】はアモルファスとなるように成膜ガス、圧力等条件設定を行っているが、本実施の形態2において

は

【0029】

【外6】

#### n+微結晶Si膜

【0030】は原料ガスであるSiH<sub>4</sub>とH<sub>2</sub>の比率を従来1:5程度であったのを1:10~1:25の範囲で成膜を行い微結晶Siとし、光透過性半導体膜としている。次にフォトリソグラフィを用いて半導体層4となるa-Si膜、オーミックコンタクト層13となる

【0031】

【外7】

#### n+微結晶Si膜

【0032】を同時にエッチングする。

【0033】次に図4(b)に示すように、ソース電極8となる金属(例えばTi等)をスパッタ法により全面に堆積し、フォトリソグラフィによりソース電極8、ドレイン電極9のパターンを形成する。この時ドレイン電極9の金属膜も除去し、ドレイン電極9は前記a-Si膜及び

【0034】

【外8】

#### n+微結晶Si膜

【0035】となる。次に透明絶縁膜10を例えば2~3μm全面に塗布し、通常のフォトリソグラフィにより、ドレイン電極9と後述の画素電極とをコンタクトするためのコンタクトホール11を形成する。このようにするとTFT部の段差がなくなり、透明絶縁膜10による平坦化層構造となるため段差に起因する配向不良が低減する。なお、このコンタクトホール11を形成する際、コンタクトホール11上のドレイン金属を透明絶縁膜10をレジストパターンとして用い除去することによって、コンタクトホール11の部分はオーミックコンタクト層だけになり、画素電極形成での裏面露光の光が透過するため、新たな表面からの露光処理無しにて露光することができる。

【0036】次に図4(c)に示すように、画素電極用の透明導電膜(例えばITO膜)7pをスパッタ法により全面に堆積する。この時、成膜温度を実施の形態1と同様にし、且つ成膜後の熱処理を同様な温度制約条件にて処理を行い、透明導電膜10上にネガレジスト12を塗布し、基板裏面からの紫外領域の波長光による光照射により露光を行う。

【0037】次に図4(d)に示すように、このときのa-Si膜、

【0038】

【外9】

#### n+微結晶Si膜

【0039】は光透過性なので1回の露光で画素領域とコンタクト領域が露光され、エッチングによって画素電極7を形成することができ、AM基板として完成する。

【0040】以上のように本実施の形態によれば、透明

導電膜上にネガレジストを塗布し、基板裏面からの光照射により露光を行うようにしているので、各電極がマスクとなるため、通常使用するマスクが不要となる等、前記実施の形態1と同様の特徴に加え、オーミックコンタクト層に

## 【0041】

【外10】

 $n^+$ 微縮晶膜

【0042】を用いることにより画素電極との直接コンタクトが可能になり一度の露光でドレイン電極部とのコンタクトまで形成できるため工程が簡略化され、さらに画素用の導電膜成膜後に熱処理をすることにより透過率が向上し、裏面露光時の時間短縮、低抵抗化、エッチング精度の向上を図ることができる。

## 【0043】

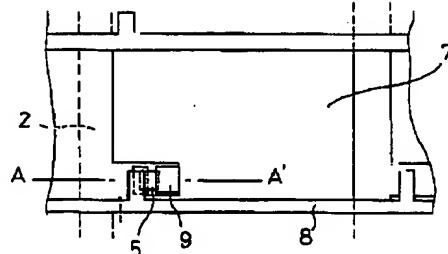
【発明の効果】以上のように本発明によれば、透明導電膜上にネガレジストを塗布し、基板裏面からの光照射により露光を行うようにしているので、各電極がマスクとなるため、マスク合わせ精度による隙間が最小になり、また、有効画素領域が最大となって透過率が向上し、輝度が著しく良化するばかりでなく、画素電極がゲート電極、ソース電極からの電界の影響を受けないという有利な効果が得られる。

## 【図面の簡単な説明】

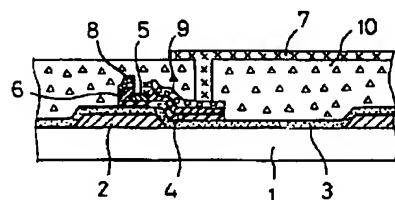
【図1】本発明のアクティブマトリックス基板の製造方法を実施の形態1において適用したAM基板の構成を示す図

【図1】

(a)



(b)



す図

【図2】本発明のアクティブマトリックス基板の製造方法の実施の形態1における製造工程を示す断面図

【図3】本発明のアクティブマトリックス基板の製造方法を実施の形態2において適用したAM基板の構成を示す図

【図4】本発明のアクティブマトリックス基板の製造方法の実施の形態2における製造工程を示す断面図

【図5】本発明のアクティブマトリックス基板の製造方法の実施の形態1における熱処理温度と抵抗率との関係を示すグラフ

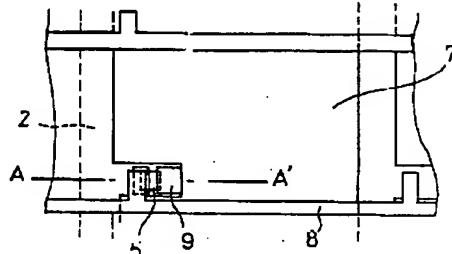
【図6】従来のアクティブマトリックス基板の構成の一例を示す図

## 【符号の説明】

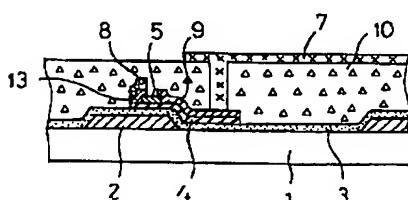
- 1 透明絶縁基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体層
- 5 エッチングストッパー層
- 6, 13 オーミックコンタクト層
- 7 画素電極
- 8 ソース電極
- 9 ドレイン電極
- 10 透明絶縁膜
- 11 コンタクトホール
- 12 ネガレジスト

【図3】

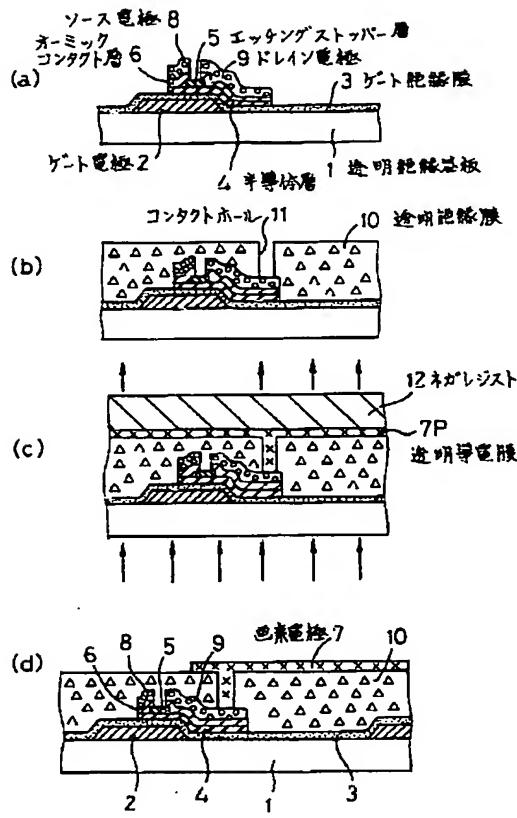
(a)



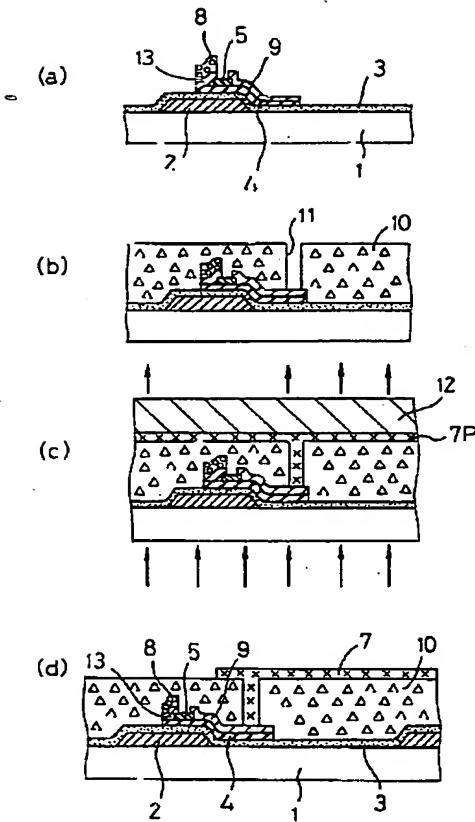
(b)



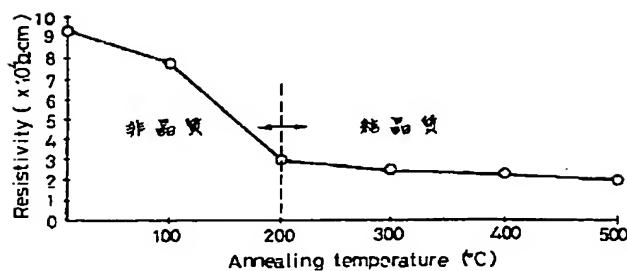
【図2】



【図4】



【図5】



【図6】

